



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Patentschrift  
10 DE 196 00 307 C 1

51 Int. Cl. 6:  
H 01 L 27/115  
H 01 L 21/8247  
// G11C 16/02

21 Aktenzeichen: 196 00 307.5-33  
22 Anmeldetag: 5. 1. 96  
43 Offenlegungstag: —  
45 Veröffentlichungstag  
der Patenterteilung: 8. 1. 98

DE 19600307 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Kerber, Martin, Dr.rer.nat., 81827 München, DE

56 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

US 54 60 988  
US 54 14 287  
US 53 82 540  
EP 06 81 333 A1  
JP 07-2 35 649 A  
JP 04-1 55 870

PEIN, H., PLUMMER, J.D.: Performance of the 3-D  
PENCIL Flash EPROM Cell and Memory Array. US-Z.:  
IEEE Transactions on Electron Devices, Vol. 42,  
No. 11, November 1995, p. 1982-1991;

54 Hochintegrierter Halbleiterspeicher und Verfahren zur Herstellung des Halbleiterspeichers

57 Die Erfindung betrifft einen hochintegrierten Halbleiter-  
speicher mit einer säulenförmig ausgebildeten EPROM Zelle  
mit einem Floating Gate und einem Control Gate und ein  
Verfahren zur Herstellung desselben. Die EPROM Zelle ist  
dabei so dünn ausgebildet, daß sie vollständig verarmt ist.  
Das Control Gate der bevorzugt verwendeten Split Gate  
Flash EPROM Zelle oder der Dual Gate Flash EPROM Zelle  
besteht aus p<sup>+</sup>-dotiertem Halbleitermaterial, so daß die  
vollständig verarmten Zylinder ein sehr gutes Unterschwel-  
lenverhalten erwarten lassen.

DE 19600307 C 1

Die Erfindung betrifft einen hochintegrierten Halbleiterspeicher mit einer n-Kanal-EPROM Zelle in Form einer Säule gemäß den Merkmalen des Oberbegriffs des Patentanspruchs 1. Weiterhin betrifft die Erfindung ein Verfahren zur Herstellung eines solchen Halbleiterspeichers.

Bei hochintegrierten Halbleiterspeichern, insbesondere bei elektrisch programmierbaren, nicht flüchtigen Speichern (EPROM) ist die Integrationsdichte unter anderem durch die Strukturfeinheit der Photolithographie begrenzt. Mit einer lateralen Integration von Stacked Gate Flash Zellen in NAND-Anordnung werden bereits minimale Zellflächen von etwa  $7 \cdot F^2$  hergestellt. F bezeichnet dabei die minimale durch die Photolithographie erreichbare Länge (minimal feature size).

Eine höhere Integrationsdichte ist mit einer vertikalen Ausführung der EPROM Zellen in Form von zylinderförmigen oder säulenförmigen Transistoren erreichbar. Mit  $1 \mu\text{m}$  Zylindern können Stacked Gate Flash Zellen mit einer Zellfläche von ungefähr  $4,4 \cdot F^2$  hergestellt werden. Kleinere Zellflächen sind nach dieser Technik nicht herstellbar, da die Zylinder bereits an der Grenze der Strukturfeinheit der Phototechnik liegen. Außerdem sind bei weiterer Verkleinerung der Zylinderdurchmesser diese vollständig verarmt, so daß die Zelltransistoren im entladenen Zustand nicht mehr sperren. Dieser Effekt ist vergleichbar mit dem Over-erase Problem bei Stacked Gate Speichern.

Ein hochintegrierter Halbleiterspeicher der eingangs genannten Art ist aus der US 5,414,287 bekannt. Dieser Halbleiterspeicher wird durch ein Verfahren hergestellt, bei dem auf einem  $p^+$ -dotierten Substrat Ätzmasken hergestellt werden, mit den Ätzmasken eine anisotrope Ätzung zur Herstellung von Säulen durchgeführt wird, eine  $n^+$ -Implantation in den zurückgeätzten Substratbereichen durchgeführt wird, ein Oxid auf den Säulen und den dazwischen liegenden Flächen aufgewachsen wird,  $n^+$ -dotiertes Polysilizium zur Bildung des Floating Gate abgeschieden und im Bereich der zwischen den Säulen liegenden Flächen durch anisotrope Ätzung wieder entfernt wird, auf dem  $n^+$ -dotierten Polysilizium ein Interpolydielektrikum abgeschieden wird, darauf eine  $n$ -dotierte Polysiliziumschicht zur Bildung eines Control Gate abgeschieden wird, die zweite Polysiliziumschicht isotrop geätzt wird, so daß die zweite Polysiliziumschicht die erste Polysiliziumschicht noch vollständig umschließt, an den Spitzen der Säule die ursprüngliche Ätzmaste entfernt wird und dort Kontakte erzeugt werden.

Aus Pein, H., Plumm, J.D.: Performance of the 3-D Pencil Flash EPROM Cell and Memory Array, US-Z.: IEEE Transactions on Electron Devices, Vol. 42, No. 11, November 1995, pages 1982 bis 1991, ist ein hochintegrierter Halbleiterspeicher mit einer Säulenstruktur bekannt, bei der die Säule so dünn ausgebildet ist, daß sie vollständig an Ladungsträgern verarmt ist.

Weiterhin sind Halbleiterspeicher mit einer EPROM-Zelle, die in Form einer Säule ausgebildet ist, auch aus den Druckschriften US 5,460,988, US 5,382,540, JP 7-235649 (A), EP 0 681 333 A1 und JP 4-155870 (A) bekannt.

Der Erfindung liegt die Aufgabe zugrunde, einen Halbleiterspeicher der eingangs genannten Art zu schaffen, der auch bei sublithographischen Abmessungen funktionsstüchtig ist und besonders zuverlässig arbeitet. Außerdem soll ein Verfahren zur Herstellung

eines solchen Speichers geschaffen werden.

Die Lösung dieser Aufgabe erfolgt mit dem kennzeichnenden Merkmal des Anspruchs 1. Verfahrensmäßig erfolgt die Lösung mit den Merkmalen des Anspruchs 4 und insbesondere dadurch, daß eine  $p^+$ -dotierte Polysiliziumschicht zur Bildung des Control Gates abgeschieden wird.

Die säulen- oder zylinderförmigen EPROM-Zellen werden so dünn ausgebildet, daß sie vollständig verarmt sind, das Control Gate zumindest in einem Teilbereich mit einer dazwischen liegenden Isolatorschicht direkt auf der Säule angeordnet und das Control Gate aus  $p^+$ -dotiertem Halbleitermaterial gebildet.

Die vollständig verarmten Zylinder gewährleisten ein sehr gutes Unterswellenverhalten. Durch das  $p^+$ -dotierte Control Gate ist die Einsatzspannung des Transistors auf der Drain Seite auch bei kleiner Oxiddicke ausreichend groß, wodurch sicheres Sperrverhalten gewährleistet wird. Die Einsatzspannung beträgt dabei etwas mehr als 0,9 V. Im Anfangszustand leitet der Floating Gate Transistor, da die Einsatzspannung bei vollständig verarmten (fully depleted) NMOS mit  $n^+$ -dotiertem Floating Gate wegen der Austrittsarbeit negative Werte annimmt. Durch Programmierung, vorzugsweise mit heißen Ladungsträgern mit positiver Spannung am Drain, können die EPROM Zellen durch Verschiebung der Einsatzspannung zu positiveren Werten programmiert werden. Durch die extrem dünnen Zylinder wird eine sehr hohe Integrationsdichte mit einer Zellfläche von ungefähr  $1,5 \cdot F^2$  erreicht, wenn die Ätzmaste für die Zylinder durch eine orthogonale Spacertechnik hergestellt werden.

In einer bevorzugten Ausführungsform werden die EPROM Zellen als Split Gate Flash Zellen ausgebildet. Bei dieser Technik ist das Control Gate in einem Teilbereich nur durch eine dünne Isolatorschicht von dem vollständig verarmten Zylinder getrennt.

Die Erfindung läßt sich jedoch auch mit Stacked Gate Flash Zellen realisieren.

Bevorzugt werden die EPROM Zellen in Siliziumtechnologie hergestellt. Das Prinzip des erfindungsgemäßen Halbleiterspeichers ist jedoch auch in Germanium- oder Galliumarsenidtechnologie denkbar.

Zur verfahrensmäßigen Herstellung eines derartigen hochintegrierten Halbleiterspeichers ist es erfindungsgemäß vorgesehen, daß auf einem  $p$ -dotierten Substratwafer Ätzmaste hergestellt werden, mit den Ätzmaste eine anisotrope Ätzung zur Herstellung der Säulen durchgeführt wird, eine  $n^+$ -Implantation in den Sourcebereichen durchgeführt wird, die Säulen gesäubert und ein Oxid auf den Säulen und den dazwischenliegenden Flächen aufgewachsen wird,  $n^+$ -dotiertes Polysilizium zur Bildung des Floating Gate abgeschieden und im Bereich der zwischen den Säulen liegenden Flächen durch anisotrope Ätzung wieder entfernt wird, auf dem  $n^+$ -dotierten Polysilizium ein Interpolydielektrikum abgeschieden wird, ein planarisierendes Medium abgeschieden und auf den unteren Säulenbereich zurückgeätzt wird, das Interpolydielektrikum und die erste Polysiliziumschicht oberhalb des planarisierenden Mediums isotrop geätzt werden, das planarisierende Medium wieder entfernt, auf die freigeätzten Bereiche ein Gateoxid gewachsen wird, darauf eine  $p^+$ -dotierte Polysiliziumschicht zur Bildung des Control Gate abgeschieden wird, die zweite Polysiliziumschicht anisotrop geätzt wird, so daß die zweite Polysiliziumschicht die erste Polysiliziumschicht noch vollständig umschließt und an den Säulenspitzen die ursprüngliche Ätzmaste entfernt

wird und dort die Drainkontakte erzeugt werden.

In einer bevorzugten Ausführung des erfindungsge-  
mäßigen Verfahrens wird die Ätzmaske durch Ätzen einer  
Hilfsschicht mit zwei sich kreuzenden Spacerlinien  
erzeugt, wobei das von den Kreuzungsbereichen der  
Spacerlinien gebildete Raster die Ätzmaske bildet. Der  
Abstand der parallelen Spacerlinien voneinander wird  
durch die photolithographisch erreichbare Größe  $F$  be-  
stimmt. Die Breite der einzelnen Spacerlinien wird je-  
doch lediglich durch die verwendete Schichtdicke der  
Spacerschicht und die Spacertechnik bestimmt und  
nicht von der Strukturfeinheit der Fototechnik. Die so  
gebildeten Kreuzungsbereiche der Spacerlinien lassen  
sich daher also um fast einen Faktor 4 kleiner herstellen  
als die direkt photolithographisch erzeugten Strukturen.

Zur  $n^+$ -Dotierung der Sourcebereiche wird vorzugs-  
weise ein Element der fünften Hauptgruppe und insbe-  
sondere Arsen verwendet. Die vor der Dotierung beim  
Ätzen der Säulen entstandenen Seitenwandpolymere,  
die auch die Implantation maskieren, werden günstiger-  
weise nach der Implantation isotrop geätzt. So können  
die als Nebenprodukt bei der Ätzung entstandenen Sei-  
tenwandpolymere gleichzeitig als Implantationsmaske  
einen sauberen Herstellungsprozeß gewährleisten.

Auf die erste,  $n^+$ -dotierte Polysiliziumschicht, die das  
Floating Gate bildet, wird bevorzugt  $ONO$  als Interpo-  
lydielektrikum durch Oxidation hergestellt oder abge-  
schieden. Als planarisierendes Medium wird vorzugs-  
weise Lack verwendet, da dieser leicht aufbringbar und  
zurückätzbar ist, und selektiv zu den übrigen Materia-  
lien wieder entfernt werden kann.

In einer besonders bevorzugten Ausführung werden  
die Säulen in Wortleitungsrichtung mit einem kleineren  
Abstand zueinander erzeugt als in Bitleitungsrichtung.  
Dabei ist es besonders günstig, die zweite Polysilizi-  
umschicht, die das Control Gate bildet, so weit zurückzu-  
ätzen, daß in Wortleitungsrichtung eine Verbindung zwi-  
schen den Control Gates der einzelnen Säulen bzw. Zellen  
besteht und in Bitleitungsrichtung nicht. Auf diese  
Weise entsteht eine selbstjustierte (selfaligned) Wortlei-  
tung.

Im folgenden wird die Erfindung anhand eines in der  
schematischen Zeichnung dargestellten Ausführungs-  
beispiels weiter erläutert. Im einzelnen zeigen

Fig. 1 bis 7, 9 und 10 schematische Darstellungen in  
verschiedenen Stadien des Verfahrensablaufes anhand  
eines Querschnitts in Bitleitungsrichtung;

Fig. 8 und 11 Verfahrensstände anhand eines Quer-  
schnitts entlang der Wortleitung, die denen in Fig. 7 und  
10 entsprechen; und

Fig. 12 eine Draufsicht auf das periodische Speicher-  
zellenfeld.

In Fig. 1 ist ein  $p^+$ -dotiertes Substrat 1 dargestellt,  
welches einen Teil eines Wafers bildet. Auf diesen eben-  
nen Substratwafer werden durch Aufbringen einer  
Oxidschicht und einer darüberliegenden Hilfspolysili-  
ziumschicht sublithographische Ätzmasken geschaffen,  
indem mit Hilfe sich kreuzender Spacerlinien eine Ätz-  
maske 2 erzeugt wird, deren Strukturgröße nur durch  
die abgeschiedene Schichtdicke und die Spacertechnik  
bestimmt wird. Auf diese Weise entstehen die darge-  
stellten Ätzmasken 2 mit der dünnen noch darüber be-  
findlichen Restschicht aus amorphen Silizium oder Poly-  
silizium 3. Die Oxidätzmasken werden entweder ther-  
misch oxidiert oder durch eine TEOS Abscheidung er-  
zeugt. Auch die Verwendung von Nitrid ist möglich.

In Fig. 2 ist dargestellt, wie das Substrat 1 mit dieser  
Ätzmaske 2 anisotrop geätzt wird, so daß die Säulen 4

entstehen.

Die in Fig. 3 mit 5 bezeichneten Pfeile symbolisieren  
die gemeinsame Sourceimplantation (Common Source  
Implantation) in die zurückgeätzten Substratbereiche.  
Die mit Arsen  $n^+$ -dotierten Substratbereiche sind mit  
Bezugszeichen 6 versehen. Beim RIE Ätzen (Reactive  
ion etching) sind an den Seitenwänden der Säulen 4  
Polymere entstanden, die eine Schutzschicht 7 auf den  
Säulen bilden und so eine Implantation in die Säulen  
verhindern. Nach der Implantation werden die Polyme-  
re der Schutzschicht 7 entfernt, und das Silizium isotrop  
überätzt, um saubere Flächen an den Seitenwänden der  
Säulen 4 zu erhalten.

In Fig. 4 ist dargestellt, daß auf die solchermaßen ge-  
säuberten Säulen 4 ein Tunneloxid 8 vorzugsweise  
durch Aufwachsen aufgebracht worden ist und eine  
Schicht  $n^+$ -dotiertes Polysilizium abgeschieden worden  
ist. Diese Polysiliziumschicht 9 dient zur Bildung des  
Floating Gate.

Die nächsten Verfahrensschritte werden anhand der  
Darstellung in Fig. 5 erläutert. Zunächst wird in einer  
anisotropen selektiven Ätzung die Polysiliziumschicht 9  
auf den zurückgeätzten Substratbereichen geätzt. Da-  
bei wird auch der Teil der Polysiliziumschicht auf den  
Spitzen der Säulen 4 entfernt und es entstehen an den  
Ecken der Säulenspitzen Abrundungen oder Ausbucht-  
ungen. Dann wird ein Interpolydielektrikum 10 durch  
Oxidation oder Abscheidung hergestellt. Vorzugsweise  
wird dazu  $ONO$  verwendet. Darauf wird ein planarisie-  
rendes Medium 11, insbesondere Lack, abgeschieden  
und so weit zurückgeätzt, daß der untere Bereich der  
Säulen 4 bedeckt wird.

Das Sandwich aus Interpolydielektrikum 10 und der  
 $n^+$ -dotierten Polysiliziumschicht 9 wird oberhalb des  
planarisierenden Mediums 11 isotrop und bevorzugter-  
weise durch Plasmaätzung, bis auf die Säule 4 zurückge-  
ätzt. Dann wird das planarisierende Medium 11 voll-  
ständig entfernt und ein Gateoxid 12 des Serientransi-  
stors der Split Gate Zelle thermisch gewachsen. Im un-  
teren Bereich der Säulen 4 ist also ein  $n^+$ -dotierter Ring  
von der ersten Polysiliziumschicht 9 zurückgeblieben,  
der das Floating Gate 14 bildet. Auf das Gateoxid 12  
bzw. die verbliebene Interpolydielektrikumschicht 10  
wird eine zweite Polysiliziumschicht 13 abgeschieden,  
die  $p^+$ -dotiert wird. Diese zweite Siliziumschicht 13  
dient zur Bildung des Control Gate. Dieser Verfahrens-  
stand ist in Fig. 6 dargestellt.

In den Fig. 7 und 8 ist dargestellt, wie die zweite Poly-  
siliziumschicht 13 anisotrop geätzt wird, so daß ein  
zweiter Spacerring entsteht, der den ersten Spacerring  
vollständig umschließt. Dieser zweite Spacerring bildet  
das Control Gate 15 der Split Gate Flash EPROM Zelle,  
die das Floating Gate 14 vollständig umschließt. Die  
Dicke der zweiten Polysiliziumschicht 13 ist so gewählt,  
daß sie bei der anisotropen Ätzung in einer Richtung bis  
auf den zurückgeätzten Substratgrund zurückgeätzt  
wird. Dies ist in Fig. 7 gezeigt. In Fig. 8 ist ein Schnitt  
durch die dazu senkrechte Richtung dargestellt, in der  
die Säulen 4 etwas enger zueinander stehen, so daß die  
Control Gates 15 jeweils einen Überlapp mit dem Con-  
trol Gate 15 der Nachbarzelle haben. In dieser Richtung  
entsteht somit eine selbstjustierte Wortleitung (Selfal-  
igned Control Gate).

Im nächsten Schritt wird die ursprüngliche Ätzmaske  
2 (siehe Fig. 1) entfernt, wie es in Fig. 9 dargestellt ist.

In weiterer Folge wird, so wie in Fig. 10 gezeigt, die  
verbliebene Spitze der Säule 4  $n^+$ -dotiert. Dieser  
 $n^+$ -dotierte Bereich ist in Fig. 10 mit Bezugszeichen 16

gekennzeichnet. Die Säulenspitze dient zur Ausbildung des Drainanschlusses und ist mit dem gleichen Leitungstyp wie der Sourceanschluß in den ebenfalls  $n^+$ -dotierten Substratbereichen 6 dotiert. Vor der Implantation in den oberen Säulenbereichen 16 wird jedoch ein planarisierendes Oxid 17 aufgebracht und bis zur Obergrenze der Säulen 4 zurückgeätzt. Ebenfalls kann eine TEOS Schicht mit geeigneter Dicke abgeschieden und durch CMP (Chemo Mechanical Polishing) zurückgeätzt werden. Erst im Anschluß daran erfolgt die Implantation in den Bereichen 16, da so die darunterliegenden Gate Bereiche durch das planarisierende Oxid 17 geschützt sind. Wie ebenfalls in Fig. 10 dargestellt, werden die Drainkontakte durch eine Metallbahn 18 verbunden. Die Metallbahn ist in Richtung der Bitlinie durchgehend.

Fig. 11 entspricht vom Verfahrensstand der Fig. 10, stellt jedoch einen Querschnitt in Wortleitungsrichtung dar. Die Metallbahnen 18 sind also nur entlang der Bitleitungsrichtung ausgebildet. Im Fall, daß die Ätzmasken der Säulen durch Spacertechnik hergestellt wurden, werden auch die Metallbahnen 18 durch Spacertechnik hergestellt, z. B. durch CVD-Abscheidung von Wolfram an einer Oxidhilfsschicht.

Eine Draufsicht auf ein solchermaßen hergestelltes, querschnittenes periodisches Speicherzellenfeld ist in Fig. 12 wiedergegeben. Darin sind die Säulen 4 mit dem sie umgebenden Floating Gate 14 und dem darum herum ausgebildeten Control Gate 15 dargestellt. In Wortleitungsrichtung bilden die Control Gates 15 einen Überlapp, so daß eine selbstjustierte Wortleitung ausgebildet wird. In Bitleitungsrichtung sind die Control Gates 15 voneinander getrennt, jedoch besteht eine Verbindung durch die gestrichelt angedeuteten Metallbahnen 18. Eine Speicherzelle hat eine Größe von ungefähr 1,0 F in Richtung der Wortleitung und 1,5 F in Richtung der Bitleitung. In bezug auf die Funktionalität entsprechen die einzelnen Speicherzellen den konventionellen Split Gate Flash Zellen. Die vollständig verarmten Zylinder lassen ein sehr gutes Unterschwellenverhalten erwarten. Durch das  $p^+$ -dotierte Control Gate ist die Einsatzspannung des Split Gate Transistors auf der Drainseite auch bei kleiner Oxiddicke ausreichend groß.

#### Bezugszeichenliste

- 1 Substrat
- 2 Ätzmaske
- 3 Polysilizium
- 4 Säulen
- 5 Pfeile
- 6 dotierte Substratbereiche
- 7 Schutzschicht
- 8 Tunneloxid
- 9  $n^+$ -dotiertes Polysilizium
- 10 Interpolydielektrikum
- 11 planarisierendes Medium
- 12 Gateoxid
- 13  $p^+$ -dotiertes Polysilizium
- 14 Floating Gate
- 15 Control Gate
- 16  $n^+$ -dotierter Säulenbereich
- 17 planarisierendes Medium
- 18 Metallbahnen

#### Patentansprüche

1. Hochintegrierter Halbleiterspeicher mit einer

$n$ -Kanal-EPROM-Zelle in Form einer Säule mit einem Floating-Gate und einem Control-Gate, wobei laterale Abmessungen der Säule so gewählt sind, daß die Säule (4) in einem potentialfreien Zustand der  $n$ -Kanal-EPROM-Zelle an freien Ladungsträgern vollständig verarmt ist, und wobei das Control-Gate (15) zumindest in einem Teilbereich mit einer dazwischenliegenden Isolatorschicht auf der Säule (4) angeordnet ist, dadurch gekennzeichnet, daß das Control-Gate (15) aus  $p^+$ -dotiertem Halbleitermaterial gebildet ist.

2. Hochintegrierter Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die  $n$ -Kanal-EPROM-Zelle als Split-Gate-Flash-Zelle ausgebildet ist.

3. Hochintegrierter Halbleiterspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die  $n$ -Kanal-EPROM-Zelle in Siliziumtechnologie hergestellt ist.

4. Verfahren zur Herstellung eines hochintegrierten Halbleiterspeichers nach Anspruch 1, bei dem

- a) auf einem  $p^+$ -dotierten Substrat (1) Ätzmasken (2) hergestellt werden,
- b) mit den Ätzmasken (2) eine anisotrope Ätzung zur Herstellung der Säulen (4) durchgeführt wird,
- c) eine  $n^+$ -Implantation in den zurückgeätzten Substratbereichen (6) durchgeführt wird,
- d) die Säulen (4) gesäubert und ein Oxid (8) auf den Säulen (4) und den dazwischenliegenden Flächen aufgewachsen wird,
- e)  $n^+$ -dotiertes Polysilizium (9) zur Bildung des Floating-Gates abgeschieden und im Bereich der zwischen den Säulen (4) liegenden Flächen durch anisotrope Ätzung wieder entfernt wird,
- f) auf dem  $n^+$ -dotierten Polysilizium (9) ein Interpolydielektrikum (10) abgeschieden wird,
- g) ein planarisierendes Medium (11) abgeschieden und auf den unteren Säulenbereich zurückgeätzt wird,
- h) das Interpolydielektrikum (10) und die erste Polysiliziumschicht (9) oberhalb des planarisierenden Mediums (11) isotrop geätzt werden,
- i) auf die freigeätzten Bereiche ein Gateoxid (12) gewachsen wird,
- j) darauf eine  $p^+$ -dotierte Polysiliziumschicht (13) zur Bildung des Control-Gates abgeschieden wird,
- k) die zweite Polysiliziumschicht (13) isotrop geätzt wird, so daß die zweite Polysiliziumschicht (13) die erste Polysiliziumschicht (12) noch vollständig umschließt,
- l) an den Spitzen der Säule (4) die ursprüngliche Ätzmaske (2) entfernt wird, und dort Kontakte erzeugt werden.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß im Schritt a) die Ätzmaske (2) durch Ätzen einer Hilfsschicht mit zwei sich kreuzenden Spacerlinien erzeugt wird, wobei das von den Kreuzungsbereichen der Spacerlinien gebildete Raster die Ätzmaske bildet.

6. Verfahren nach einem der Ansprüche 4 oder 5, dadurch gekennzeichnet, daß im Schritt c) mit einem Element der fünften Hauptgruppe, insbesondere Arsen, dotiert wird.

7. Verfahren nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß die im Schritt b) entstandenen Seitenwandpolymere nach der Implan-

tation im Schritt c) isotrop geätzt werden.

8. Verfahren nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß im Schritt f) ONO als Interpolydielektrikum verwendet wird.

9. Verfahren nach einem der Ansprüche 4 bis 8, dadurch gekennzeichnet, daß im Schritt g) Lack als planarisierendes Medium (11) verwendet wird. <sup>5</sup>

10. Verfahren nach einem der Ansprüche 4 bis 9, dadurch gekennzeichnet, daß die Säulen (4) in Wortleitungsrichtung mit einem kleineren Abstand zueinander erzeugt werden als in Bitleitungsrichtung. <sup>10</sup>

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß im Schritt k) die zweite Polysiliziumschicht (13) so weit geätzt wird, daß das von der zweiten Polysiliziumschicht gebildete Control-Gate (15) in Wortleitungsrichtung eine Verbindung mit einem benachbarten Control-Gate aufweist und in Bitleitungsrichtung keine Verbindung mit einem benachbarten Control-Gate aufweist. <sup>15</sup>  
<sup>20</sup>

---

Hierzu 6 Seite(n) Zeichnungen

---

25

30

35

40

45

50

55

60

65

- Leerseite -

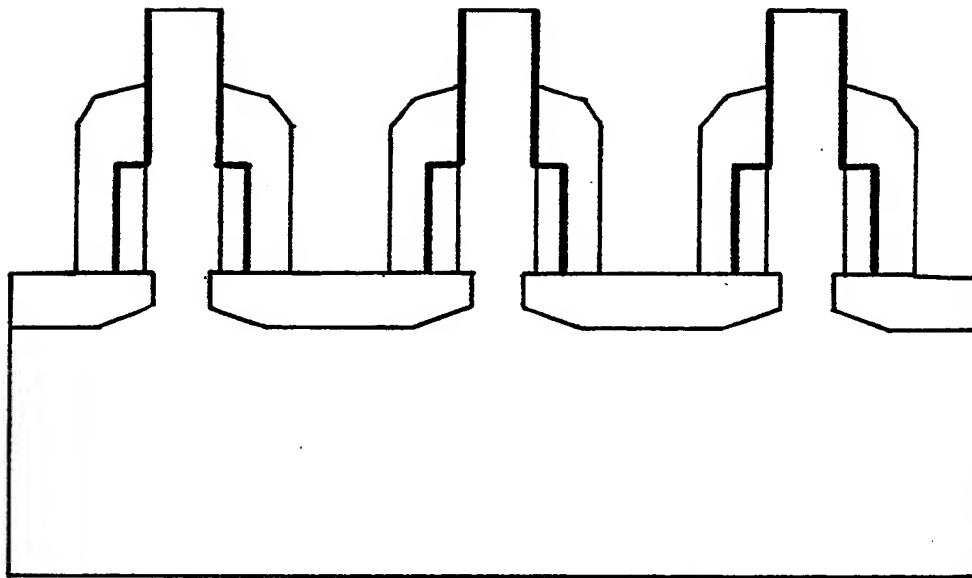
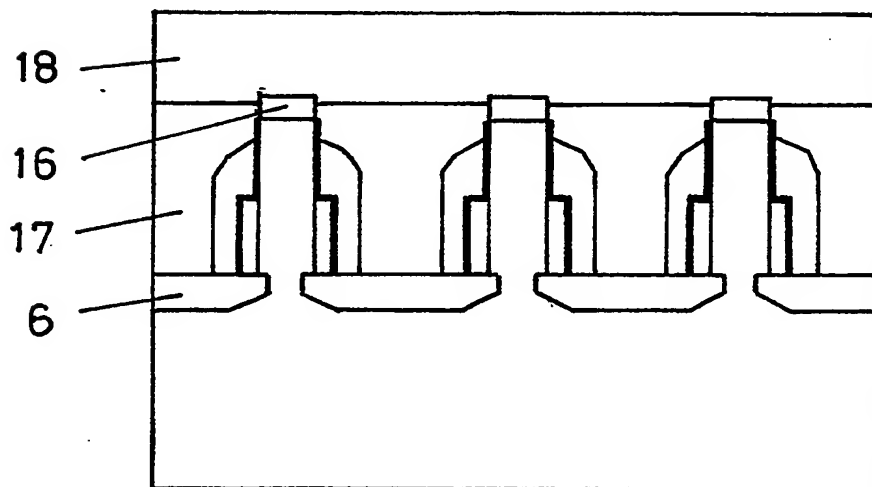


Fig. 9



\* Fig. 10

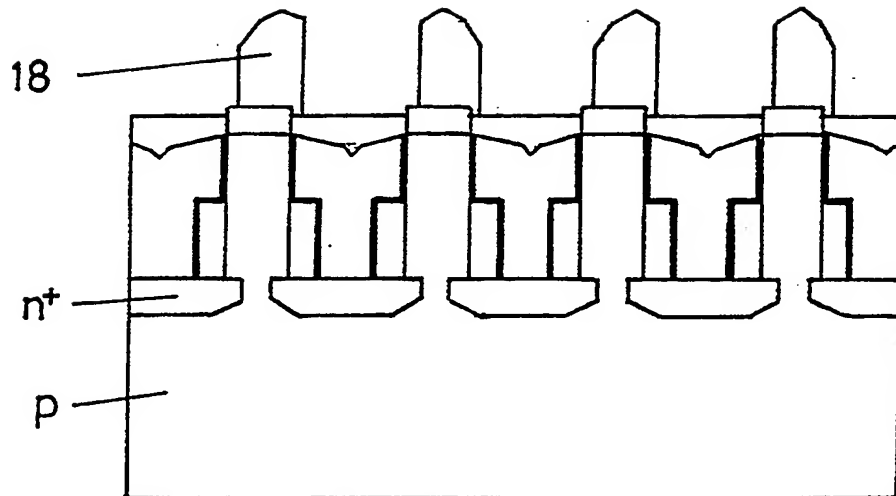


Fig. 11

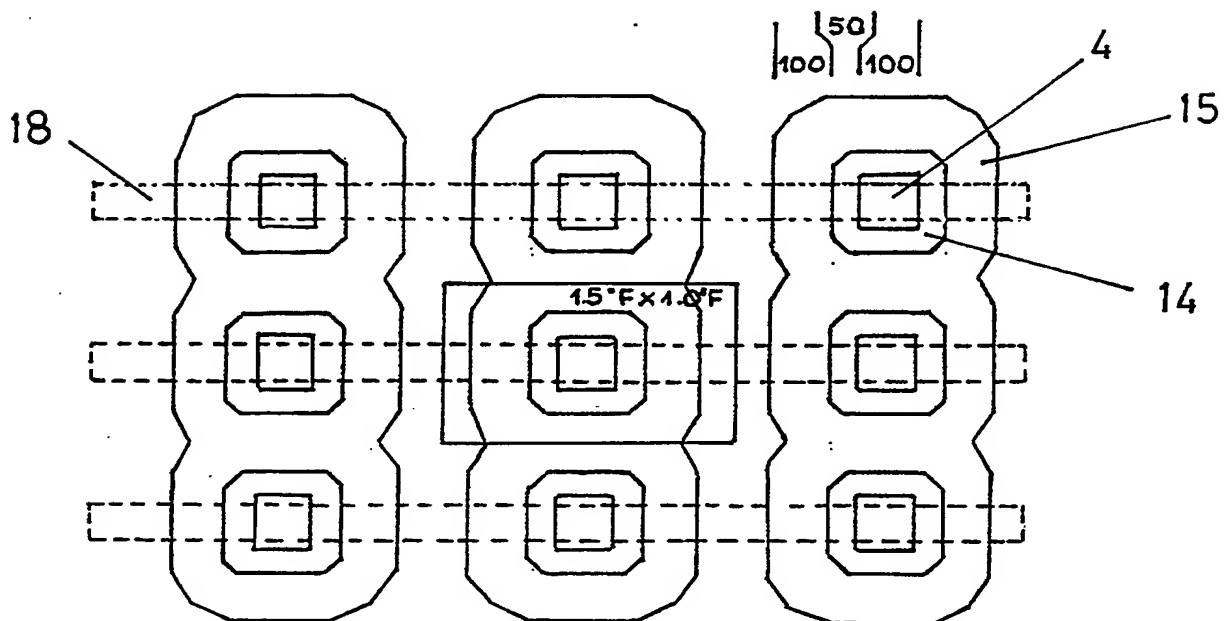


Fig. 12



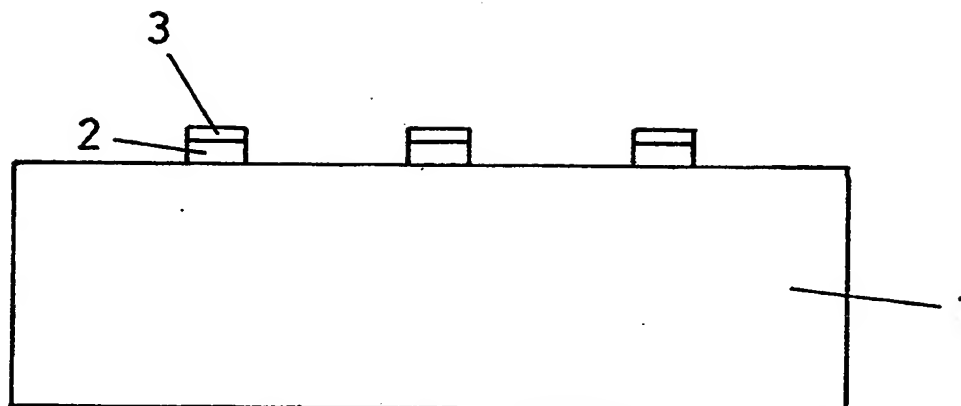


Fig. 1

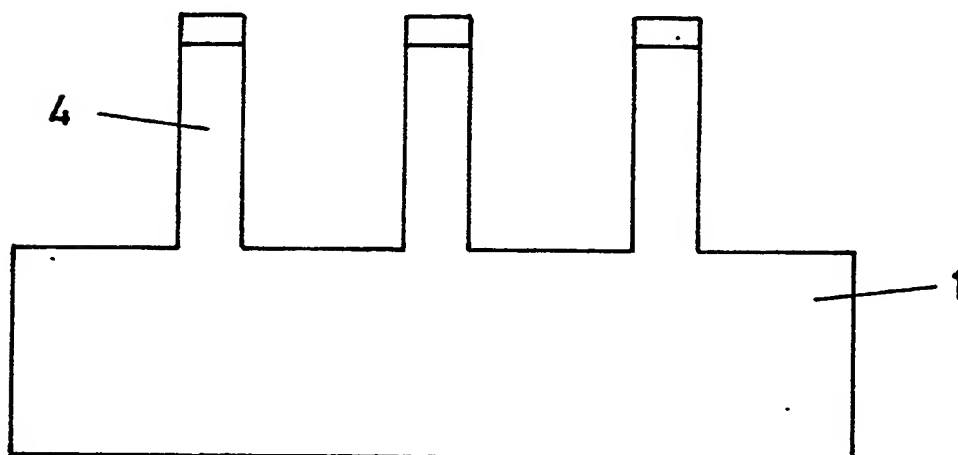


Fig. 2

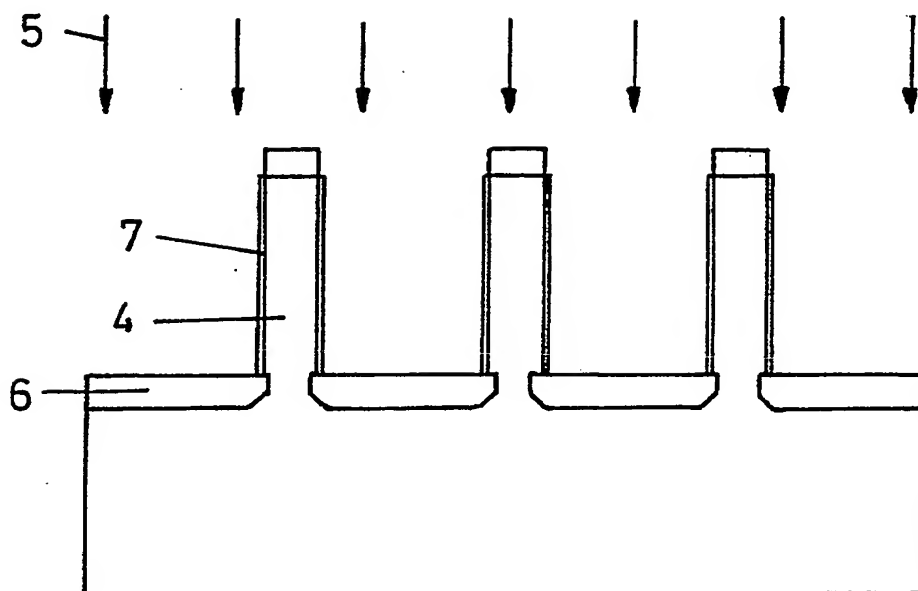


Fig. 3

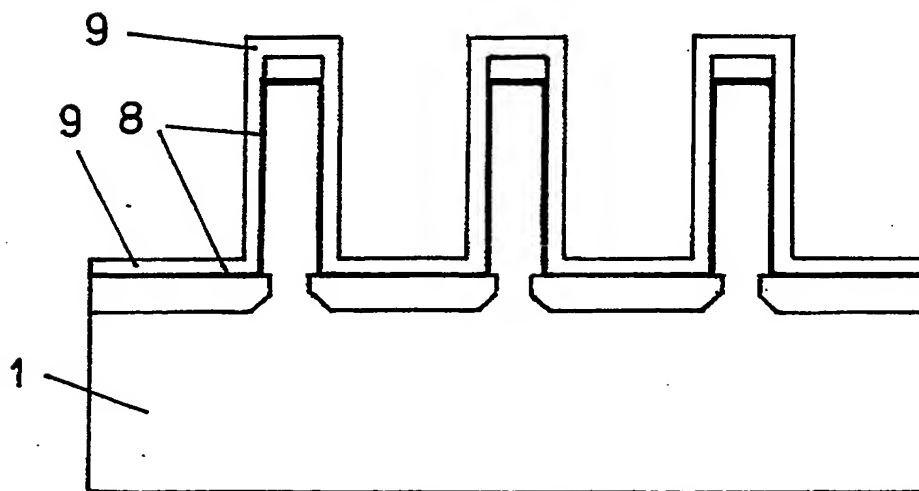


Fig. 4

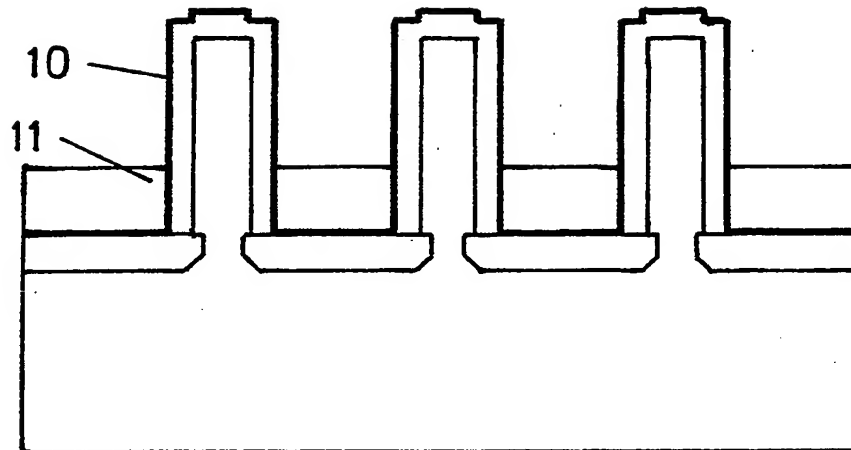


Fig. 5

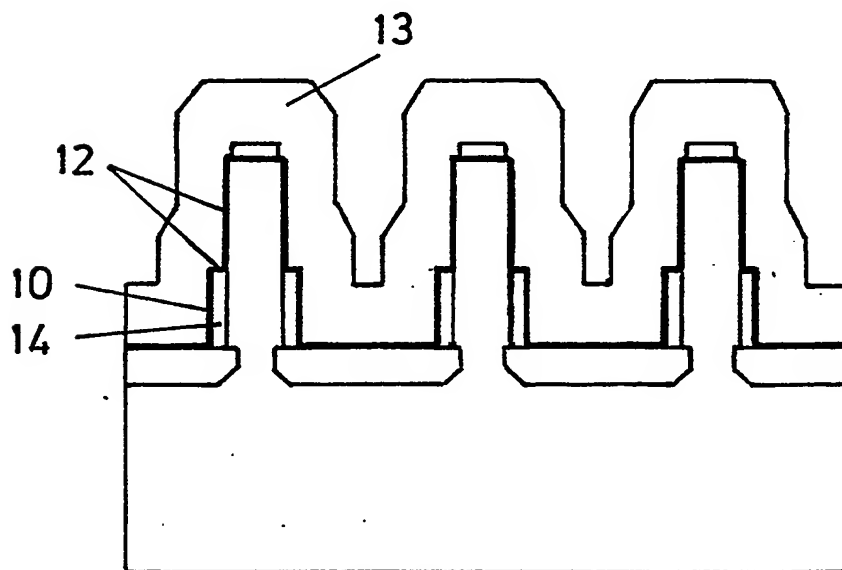


Fig. 6

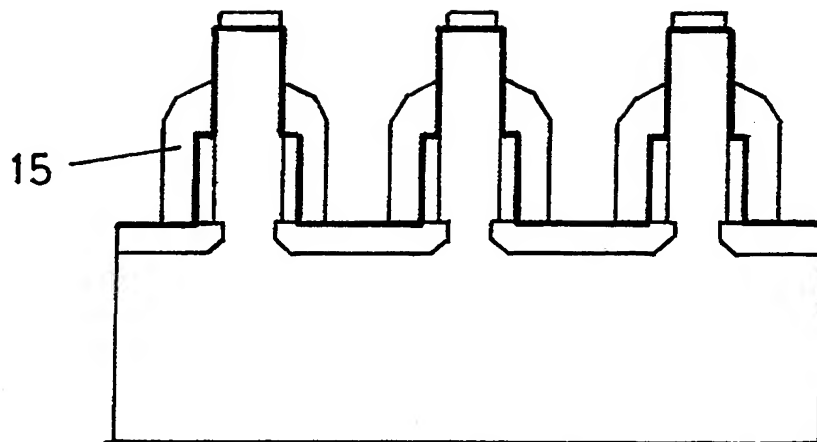


Fig. 7

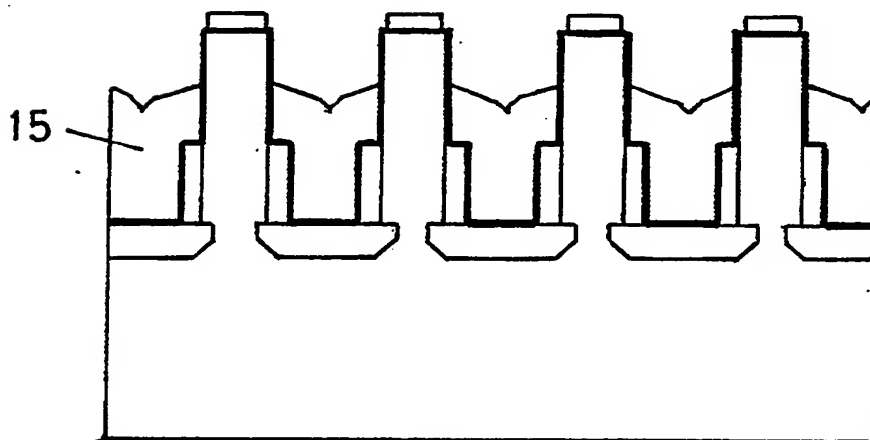


Fig. 8